

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-249763

(43)公開日 平成7年(1995)9月26日

(51)Int.Cl.⁸

H 0 1 L 29/78

21/336

21/28

識別記号

庁内整理番号

3 0 1 T 8932-4M

7514-4M

F I

技術表示箇所

H 0 1 L 29/ 78

3 0 1 L

審査請求 未請求 請求項の数6 O L (全 5 頁)

(21)出願番号

特願平6-38292

(22)出願日

平成6年(1994)3月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者

助川 孝江

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者

田中 良子

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

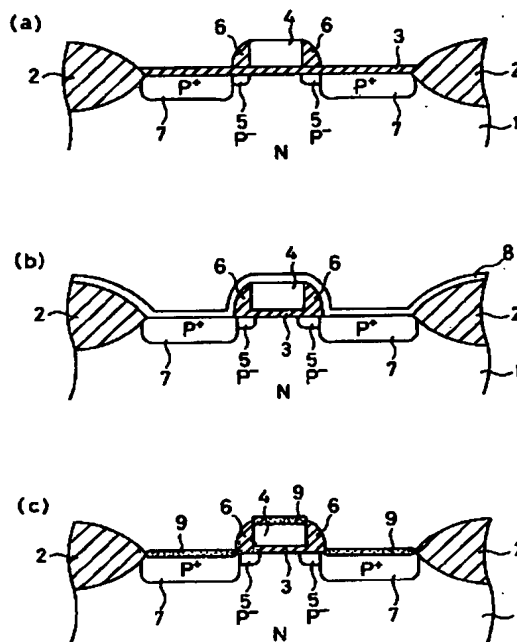
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 トランジスタの不純物拡散層上に低抵抗の金属シリサイド層を形成する方法に関し、不純物拡散層と金属シリサイド層との界面に偏析物が発生しないようにして両者間のコンタクト抵抗を低減し、応答速度の速いMOS電界効果トランジスタを提供することを目的とする。

【構成】 素子分離領域2によって分離されたシリコン基板1上に酸化膜3を形成して酸化膜3上にゲート電極4を形成する工程と、ゲート電極4をマスクとしてシリコン基板1にハロゲンを含む分子イオンを注入して不純物拡散層7を形成する工程と、低温アニール処理を施して、ハロゲンを含む分子イオンに含まれるハロゲン元素を酸化膜3中に拡散させる工程と、ハロゲン元素が拡散した酸化膜3を除去する工程と、ゲート電極4の表面上と不純物拡散層7の表面上とに金属シリサイド層9を形成する工程とをもって構成される。

本発明に係るLDD構造のMOSFETの製造工程図



1

【特許請求の範囲】

【請求項1】 素子分離領域（2）によって分離されたシリコン基板（1）上に酸化膜（3）を形成する工程と、

該酸化膜（3）上にゲート電極（4）を形成する工程と、

該ゲート電極（4）をマスクとして前記シリコン基板（1）にハロゲンを含む分子イオンを注入して不純物拡散層（7）を形成する工程と、

低温アニール処理を施して、前記ハロゲンを含む分子イオンに含まれるハロゲン元素を前記酸化膜（3）中に拡散させる工程と、

前記ハロゲン元素が拡散した前記酸化膜（3）を除去する工程と、

前記ゲート電極（4）の表面上と前記不純物拡散層（7）の表面上とに金属シリサイド層（9）を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 素子分離領域（2）によって分離されたシリコン基板（1）上に酸化膜（3）を形成する工程と、

該酸化膜（3）上にゲート電極（4）を形成する工程と、

該ゲート電極（4）をマスクとして前記シリコン基板（1）にハロゲン原子イオンまたはハロゲン分子イオンを注入する第1のイオン注入工程と、

不純物拡散層（7）を形成するための不純物イオンを注入する第2のイオン注入工程と、

低温アニール処理を施して、前記第1のイオン注入工程と前記第2のイオン注入工程とにおいて注入されたイオン中に含まれるハロゲン元素を前記酸化膜（3）中に拡散させる工程と、

前記ハロゲン元素が拡散した前記酸化膜（3）を除去する工程と、

前記ゲート電極（4）の表面上と前記不純物拡散層（7）の表面上とに金属シリサイド層（9）を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記低温アニール処理の温度は300～600℃であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記ハロゲン元素はフッ素であることを特徴とする請求項1、2、または、3記載の半導体装置の製造方法。

【請求項5】 前記金属シリサイド層（9）の形成は、シリコン層上に金属膜を形成した後アニール処理を施して該金属膜とシリコン層とを固相反応させてなすことを特徴とする請求項1、2、3、または、4記載の半導体装置の製造方法。

【請求項6】 前記金属シリサイド層の形成は、金属と

2

シリコンとを同時に堆積し、アニール処理を施して該金属とシリコンとを結晶化させてなすことを特徴とする請求項1、2、3、または、4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、トランジスタの不純物拡散層上に低抵抗の金属シリサイド層を形成する方法に関する。

【0002】

【従来の技術】 MOS電界効果トランジスタのスイッチング速度を高めるには、ソース・ドレインの低抵抗化とゲート電極の低抵抗化とが必要である。低抵抗化の方法として、ゲート電極の表面上とソース・ドレインの表面上とに金属シリサイド層を形成する方法が開発され、この金属シリサイド層を自己整合的に形成するシリサイドプロセスが提案されている。このシリサイドプロセスの具体例を以下に説明する。まず、基板上にゲート絶縁膜を介してポリシリコンまたはアモルファスシリコンからなるゲート電極を形成し、次いでゲート電極の側壁にサイドウォール絶縁膜を形成する。次に、ゲート電極とサイドウォール絶縁膜とをマスクとしてシリコン基板に不純物をイオン注入して自己整合的にソース・ドレインをなす不純物拡散層を形成する。次いで、全面にチタン等の金属膜を形成してアニール処理を施し、ゲート電極のポリシリコンまたはアモルファスシリコンとの間と不純物拡散層のシリコンとの間とで選択的にシリサイド化反応させて、ゲート電極の表面上と不純物拡散層の表面上とにチタンシリサイド層等の金属シリサイド層を自己整合的に形成する。

【0003】

【発明が解決しようとする課題】 金属シリサイド層と不純物拡散層とのコンタクト抵抗を低くするには、界面のコンタクト近傍において不純物が十分に活性化し、かつその他の偏析物が存在しないようにすることが必要である。

【0004】 ハロゲン系の元素、特にフッ素は欠陥密度の高い領域に偏析することが確認されている。シリコン層に二フッ化ボロンイオン（ BF_2^+ ）を注入し、その上にチタンシリサイド層（ TiSi_2 ）を形成したときの界面を透過型電子顕微鏡（TEM）で観察したところ、図2の模式図に示すように、シリコン層とチタンシリサイド層との界面にフッ素に起因する多くの偏析物10が観察された。チタンシリサイドやモリブデンシリサイドのようにシリコンとの整合性の悪いものほど界面における欠陥密度が高くなり、偏析物も発生しやすい。また、コバルトシリサイドやニッケルシリサイドのようにシリコンとの整合性のよい金属シリサイドでも、エピタキシャル成長しにくい条件で金属シリサイド層を成長させると、シリコンとの界面に発生する欠陥量が増え、偏

3

析物が多く発生する。このように偏析物が多く発生することによって、不純物拡散層と金属シリサイド層とのコンタクト抵抗が高くなることが確認されている。

【0005】本発明の目的は、この欠点を解消することにより、不純物拡散層と金属シリサイド層との界面に偏析物が発生しないようにして両者間のコンタクト抵抗を低減し、応答速度の速いMOS電界効果トランジスタを提供することにある。

【0006】

【課題を解決するための手段】上記の目的は、下記いずれの手段によっても達成される。

【0007】第1の手段は、素子分離領域(2)によって分離されたシリコン基板(1)上に酸化膜(3)を形成する工程と、この酸化膜(3)上にゲート電極(4)を形成する工程と、このゲート電極(4)をマスクとして前記のシリコン基板(1)にハロゲンを含む分子イオンを注入して不純物拡散層(7)を形成する工程と、低温アニール処理を施して、前記のハロゲンを含む分子イオンに含まれるハロゲン元素を前記の酸化膜(3)中に拡散させる工程と、前記のハロゲン元素が拡散した前記の酸化膜(3)を除去する工程と、前記のゲート電極

(4)の表面上と前記の不純物拡散層(7)の表面上とに金属シリサイド層(9)を形成する工程とを有する半導体装置の製造方法である。

【0008】第2の手段は、素子分離領域(2)によって分離されたシリコン基板(1)上に酸化膜(3)を形成する工程と、この酸化膜(3)上にゲート電極(4)を形成する工程と、このゲート電極(4)をマスクとして前記のシリコン基板(1)にハロゲン原子イオンまたはハロゲン分子イオンを注入する第1のイオン注入工程と、不純物拡散層(7)を形成するための不純物イオンを注入する第2のイオン注入工程と、低温アニール処理を施して、前記の第1のイオン注入工程と前記の第2のイオン注入工程とにおいて注入されたイオン中に含まれるハロゲン元素を前記の酸化膜(3)中に拡散させる工程と、前記のハロゲン元素が拡散した前記の酸化膜

(3)を除去する工程と、前記のゲート電極(4)の表面上と前記の不純物拡散層(7)の表面上とに金属シリサイド層(9)を形成する工程とを有する半導体装置の製造方法である。

【0009】なお、前記の低温アニール処理の温度は300~600℃であることが好ましい。

【0010】また、前記のハロゲン元素が特にフッ素の場合には、欠陥密度の高い領域に偏析する現象が特に顕著にあるため、本発明の方法は有効である。

【0011】また、前記の金属シリサイド層(9)の形成は、シリコン層上に金属膜を形成した後アニール処理を施してこの金属膜とシリコン層とを固相反応させる方法、または、金属とシリコンとを同時に堆積し、アニール処理を施してこの金属とシリコンとを結晶化させる方

4

法のいずれを使用してもよい。

【0012】

【作用】シリコン層に不純物をイオン注入するとシリコン層がアモルファス化される。300~600℃の低温でこれにアニール処理を施すと、アモルファスシリコンが下層の方から表層に向かって結晶化が進む。また、この程度の低い温度においてはボロン等の不純物は殆ど拡散しないが、フッ素等のハロゲン元素は低温で拡散係数が大きいので、アモルファスシリコンの結晶化にともな

10

って表層に向かって拡散し、シリコン基板の表面に形成されている酸化膜3中に集積する。したがって、この酸化膜3を除去すれば、偏析物を形成する元となるフッ素等のハロゲン元素を金属シリサイド層の形成前に不純物拡散層7から除去することができるので、金属シリサイド層9と不純物拡散層7との界面に発生する偏析物が少なくなり、低抵抗のコンタクトが形成される。

20

【0013】不純物拡散層形成のための不純物イオン、例えばボロン原子イオンまたはボロンを含む分子イオンを注入する際に、チャネリング効果によって注入イオンの侵入深さが深くなることを防ぐため、フッ素等のハロゲン原子イオンまたはハロゲン分子イオンを予めイオン注入してイオン注入領域の一部または全部をアモルファス化する方法があるが、この場合にも前記と同様に低温アニール処理を施すことによって注入されたハロゲン元素を金属シリサイド層9の形成前に除去し、不純物拡散層7と金属シリサイド層9との界面に発生する偏析物を少なくすることができる。

30

【0014】

【実施例】以下、図面を参照して、本発明の一実施例に係るLDD構造のMOS電界効果トランジスタの製造方法について説明する。

40

【0016】図1(a)参照

選択熱酸化法を使用してN型シリコン基板1に素子分離用のフィールド酸化膜2を形成する。次に、N型シリコン基板1上に60Å程度の薄い酸化膜3を形成し、この酸化膜3上にポリシリコンまたはアモルファスシリコンを堆積してパターニングし、ゲート電極4を形成する。次に、ゲート電極4をマスクとして二フッ化ボロンイオン(BF₂⁺)等のハロゲンを含む分子イオンを低ドーズ量で浅くイオン注入して低濃度のP⁻拡散層5を形成する。次に、全面に絶縁膜を形成し、これに異方性エッチング処理を施してゲート電極4の側壁にサイドウォー

50

5

ル6を形成し、ゲート電極4とサイドウォール6とをマスクとしてN型シリコン基板1に二フッ化ボロンイオン(BF_2^+)等のハロゲンを含む分子イオンを高濃度にイオン注入して高濃度の P^+ 拡散層7を形成する。

【0017】300~600℃の温度、好ましくは500~600℃の温度で30分間程度熱処理を施し、フッ素等のハロゲン元素だけを選択的にシリコン基板1の表面近傍に拡散させて薄い酸化膜3中に集積させる。次いで、フッ酸等を使用して、薄い酸化膜3だけを選択的に除去できるような条件でエッチングし、薄い酸化膜3を除去する。

【0018】図1(b)参照

スパッタ法等を使用して全面にチタン膜8を形成する。

【0019】図1(c)参照

600~800℃程度の温度で熱処理を施し、ゲート電極4の表面上と P^+ 拡散層7の表面上とで選択的にシリサイド化反応させてチタンシリサイド(TiSi_2)層9を形成し、残余の領域の未反応のチタン膜8を除去する。以下、図示しないが、周知の方法を使用して全面に絶縁膜を形成し、 P^+ 拡散層7上にコンタクト用開口を形成してソース・ドレイン電極を形成する。

【0020】なお、金属膜としては、チタン膜の他にコバルト膜、ニッケル膜、タングステン膜、モリブデン膜等がある。

【0021】また、ハロゲンを含む分子イオンとしては、二フッ化ボロンイオン(BF_2^+)の他に二塩化ボロンイオン(BCl_2^+)、二臭化ボロンイオン(Br_2^+)等がある。

【0022】また、チタンシリサイド層等の金属シリサイド層の形成は、チタン等の金属とシリコンとを同時に堆積した後にアニール処理を施して結晶化させてもよい。

【0023】また、イオン注入時のチャネリングを防止するためにプリイオン注入を実施する場合には、不純物拡散層形成のための不純物イオン注入工程に先立ち、フッ素、塩素、臭素等のハロゲン原子イオンまたはハロゲン分子イオンを不純物拡散層形成のための不純物イオン

6

の射影飛程距離(R_p)と同じか、または、それより深くなるような加速度で、かつ注入領域の一部または全部がアモルファス化するようなドーズ量でイオン注入するようにすればよい。なお、プリイオン注入されたハロゲン元素は不純物拡散層形成のための不純物イオン注入後に実施される低温熱処理によって薄い酸化膜中に集積され、除去される。

【0024】

【発明の効果】以上説明したとおり、本発明に係る半導体装置の製造方法においては、ハロゲン原子イオン、ハロゲン分子イオンまたはハロゲンを含む分子イオンを注入した後、低温熱処理を施して注入されたハロゲン元素を不純物拡散層表面に形成された酸化膜中に拡散・集積させ、しかる後その酸化膜を除去することによって、不純物拡散層からハロゲン元素を除去しているのので、不純物拡散層とその表面に形成される金属シリサイド層との界面に発生するハロゲン元素に起因する偏析物が少なくなり、不純物拡散層と金属シリサイド層とのコンタクト抵抗が低くなって良好な特性の半導体装置が形成される。

【図面の簡単な説明】

【図1】本発明に係るMOS電界効果トランジスタの製造工程図である。

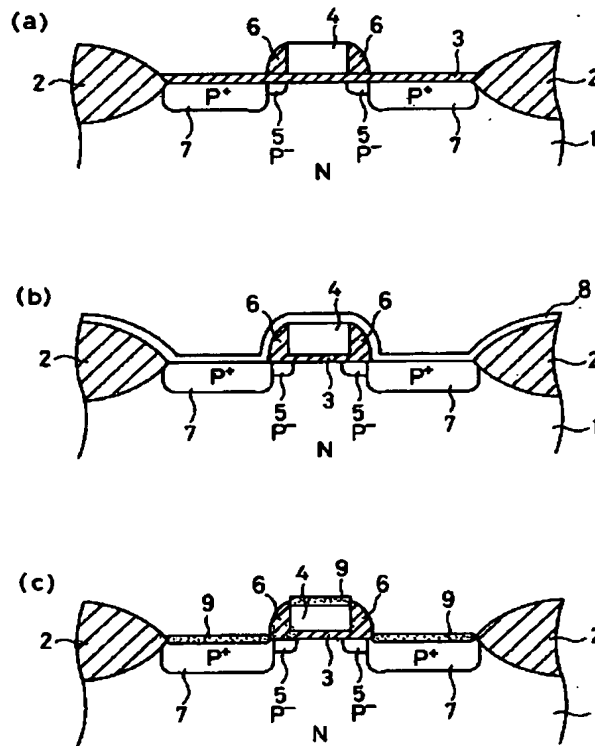
【図2】 BF_2^+ イオンの注入されたシリコン層とチタンシリサイド層との界面を透過型電子顕微鏡で観察した像の模式図である。

【符号の説明】

- 1 シリコン基板
- 2 素子分離領域(フィールド酸化膜)
- 3 酸化膜
- 4 ゲート電極
- 5 低濃度の P^- 型拡散層
- 6 サイドウォール
- 7 高濃度の P^+ 型拡散層
- 8 金属膜(チタン膜)
- 9 金属シリサイド層(チタンシリサイド層)
- 10 偏析物

【図1】

本発明に係るLDD構造のMOSFETの製造工程図



【図2】

BF₂⁺イオンを注入したシリコン層とチタンシリサイド層との界面の透過型電子顕微鏡による観察像の模式図

